

Version pour diffusion publique en ligne - Ver. 18 octobre 2021

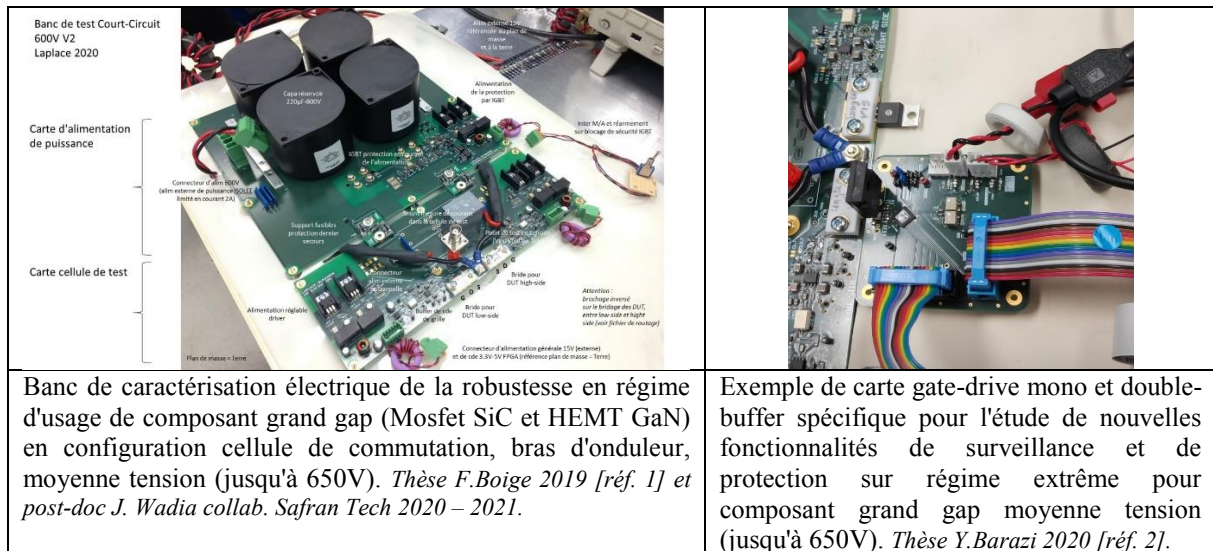
Architectures "multi-buffers" pour la commande rapprochée de composants semi-conducteurs de puissance à grand gap. Application au développement de nouvelles fonctionnalités pour la surveillance de leur état de santé et de leur protection en régime extrême dans le domaine de l'aéronautique.

Les composants actifs à grand gap, tels que le Mosfet SiC et le HEMT GaN, sont actuellement très prisés par les concepteurs de convertisseurs à hautes performances, en particulier dans les domaines des systèmes de puissance embarqués. En effet, l'intégration de tels composants permet d'atteindre des niveaux de densité de puissance traitée et de rendement bien supérieurs à ceux qui pouvaient être obtenus avec les composants de génération antérieure en technologie silicium. Cependant, les niveaux de maturité technologique, de fiabilité et de robustesse en régime extrême d'usage restent, aujourd'hui, nettement inférieurs à ceux des composants en silicium. Ce constat est vu comme un "frein" à la diffusion, à court et à moyen terme, des technologies à grand gap dans les applications critiques en termes de sûreté de fonctionnement comme l'aéronautique. Bien que des améliorations constantes soient proposées par les fabricants, des solutions actives dans l'environnement rapproché même du composant peuvent être imaginées, en particulier au niveau de sa commande rapprochée, à travers le pilotage de sa grille et des observables électriques associées (Vgs, Igs).

Dans ce contexte, sur la base de travaux antérieurs menés au Laplace et de la bibliographie, le sujet vise à explorer et à évaluer différentes architectures d'alimentation de la grille du composant permettant d'apporter des degrés de liberté nouveaux afin de répondre aux problématiques précitées. Le composant Mosfet SiC sera considéré en priorité, au sein d'un bras d'onduleur de type MLI ou pleine onde à haute fréquence. Les principales orientations et idées proposées sont les suivantes (elles sont non exhaustives, à titre d'exemples principaux) :

- architecture multi-buffers à segmentation parallèle de résistances de grille : pour la surveillance de l'état de santé de l'oxyde de grille et pour la réalisation de nouvelles stratégies de protection en court-circuit. Un prototype sera à réaliser en technologie CMS – PCB.
- architecture multi-buffers à partitionnement d'alimentations en série (multi-niveaux) : pour l'application d'une tension de commande de grille multi-paliers, donnant lieu à de nombreux degrés de liberté pour améliorer la robustesse du composant et ses propriétés de commutation. Une pré-évaluation expérimentale sera à mener en PFE en technologie CMS – PCB.
- la combinaison des approches précédentes : pour proposer à moyen terme un véritable "smart gate-driver" aux propriétés nouvelles, permettant de gérer au mieux les spécificités du Mosfet SiC du point de vue de son état de santé, de sa sécurité et de ses performances.

Certaines fonctionnalités pourront être envisagées en mode "off-line", i.e. hors commutation, ou dans des séquences particulières de fonctionnement de l'onduleur, pour des besoins de détection à précision maîtrisée. En premier lieu, des simulations orientées "modèle circuit" seront à réaliser sous Plecs puis des simulations orientées "modèle composant" sous LTspice. Un volet expérimental important sera à considérer sur la base de cartes existantes et d'un banc de test disponible au Laplace. Quelques photos sont données ci-dessous à titre illustratif. Quelques fonctionnalités nouvelles feront l'objet d'un développement spécifique sur PCB en technologie CMS pour pré-évaluation sur un bras d'onduleur à Mosfet SiC.



Ce sujet de PFE fera l'objet d'une poursuite en thèse en collaboration avec l'équipe Power Electronics du groupe Safran, division Safran Tech. Un volet de la thèse sera consacré à l'intégration d'une partie de l'architecture multi-buffers sur circuit intégré de type CMOS (technologie ASIC) en lien avec des travaux antérieurs menés par le groupe CS du Laplace (Thèse de Yazan Barazi – 2020).

Profil du candidat (obligatoire) : formation en génie-électrique avec spécialisation électronique de puissance de niveau Master recherche et/ou école d'ingénieur. Goût prononcé pour l'expérimentation en puissance, la technologie des composants de puissance et le travail dans un environnement laboratoire.

Procédure de recrutement (PFE) : CV complet et détaillé à jour, lettre de motivation, notes et rapports de stages (sauf si confidentiel) sur les trois dernières années, coordonnées des référents pédagogiques et de stages avec lettres de recommandation éventuelles. Toutes les pièces sont à envoyer en pdf dans un fichier unique .zip. Les candidats présélectionnés seront convoqués pour un entretien en présentiel sur site.

Lieu et dates : principalement au Laplace site N7, réunions et courts séjours à envisager à Safran Tech Paris-Saclay. Début du PFE : Mars 2022. Durée : 6 mois.

Encadrants directs et contacts :

Laplace, groupe CS : Frédéric Richardeau, frederic.richardeau@laplace.univ-tlse.fr, 05 34 32 23 98, bureaux E415 – 211. Jean-Marc Blaquièrre, blaquiere@laplace.univ-tlse.fr, bureau E203.

Safran Tech : Stéphane Azzopardi, stephane.azzopardi@safrangroup.com, Thanh Long Le, thanh-long.le@safrangroup.com

[Réf. 1] Thèse de F.Boige, 2019 : <http://www.theses.fr/2019INPT0084>

[Réf. 2] Thèse de Y.Barazi, 2020 : <http://www.theses.fr/2020INPT0091>