



Objet : Sujet de Thèse – Cadre de l'étude



Toulouse, le 12 avril 2021

Titre : Système d'adaptation automatique de la durée de temps-mort pour l'optimisation de la conduction inverse des composants de puissance en technologies dites à grand gap (SiC, GaN).

Cadre de l'étude et problématique :

La société NXP est un leader mondial des solutions intégrées de l'électronique embarquée servant les marchés de l'automobile, du grand public, de l'industriel et des réseaux. Elle réalise depuis de nombreuses années des systèmes électroniques intégrés sur silicium pour la gestion de l'énergie des cartes électroniques, que ce soit pour les segments châssis, moteur, sécurité, confort et loisirs. Ces circuits comportent des circuits de commande rapprochée pour composants de puissance de type Carbone de Silicium (SiC) récemment introduits sur le marché. Ces circuits de commande rapprochée, également appelés driver ou gate-driver, assurent l'interface entre le composant de puissance (800V / 100A ou 200A) et la commande logique venant du microprocesseur. A cause des hautes tensions des composants de puissance, il faut une isolation entre la commande du composant de puissance et les entrées/sorties du microcontrôleur. La technologie « smartmos » (technologie microélectronique propriétaire NXP de type BiCMOS) permet de développer un boîtier spécifique où l'isolation de la commande avec le microprocesseur est intégrée dans le boîtier de commande du composant de puissance. La technologie « smartmos » offre la capacité de co-intégrer sur le même substrat des composants bipolaires et MOSFET, basse tension, bas courant pour le traitement du signal analogique et numérique, et des composants haute-tension/fort-courant pour la commande des composants de puissance.

Dans le cadre de l'utilisation de composants de puissance à effet de champs de type SiC pour la conception de convertisseurs de puissance, le temps de commutation est réduit si on le compare à celui de la génération antérieure, c.-à-d. composant Silicium de type IGBT ou MOSFET à superjonction. La commutation rapide permet de réduire les pertes d'énergie en commutation et d'accéder à des fréquences de découpage de valeur plus élevée qu'en silicium, gage de compacité du produit et de réduction des coûts. C'est aussi un avantage essentiel pour augmenter l'autonomie des véhicules électriques en réduisant les pertes et en contribuant à augmenter le rendement des étages de conversion électronique de puissance des applicatifs.

En pratique, lors du contrôle d'une cellule de commutation, elle-même formée de deux transistors de puissance, il faut s'assurer que les transistors sont tous les deux bloqués avant d'amorcer l'un d'entre eux afin de se prémunir de toute conduction simultanée pouvant conduire à une élévation importante du courant délivré par la source de tension d'entrée et à un échauffement excessif d'au moins un des deux transistors conduisant très souvent à sa destruction et au dysfonctionnement de l'ensemble du convertisseur voire de son environnement (alimentation et charge). Pour ce faire, une durée, ou temps de sécurité appelée « temps-mort », placée entre deux temps consécutifs de conduction doit être garantie par la commande des transistors de puissance. Cette durée, durant

INP ENSEEIHT - 2, rue Camichel - BP 7122 - 31071 Toulouse cedex 7 (France)

Tél. : (33) (0)5 34 32 24 03 - Télécopie : (33) (0)5 61 63 88 75 – sec-n7@laplace.univ-tlse.fr - <http://www.laplace.univ-tlse.fr>



laquelle les deux transistors de la cellule de commutation sont à l'état OFF, est dans la grande majorité des cas fixe et imposée par l'application elle-même (type de transistors utilisés, niveaux de tension, vitesses de commutation, fréquence de découpage, etc...). Il est important de noter que, lors de cette phase particulière de temps-mort, le courant de charge du convertisseur trouve un chemin en se refermant soit via une diode Schottky placée en antiparallèle avec le transistor de puissance (cas du MOSFET SiC), soit à travers le canal de conduction du transistor de puissance fonctionnant alors en régime de conduction inverse (cas du HEMT GaN). Dans le cas du MOSFET SiC, il est aussi possible de ne pas rajouter de diode Schottky en antiparallèle et d'utiliser alors la conduction naturelle de leur diode de corps (body diode). C'est aussi le cas de l'IGBT silicium à conduction inverse (ou RC-IGBT) couramment utilisé dans les modules de puissance. Dans le cas du SiC, cette diode souffre d'une tension de seuil élevée inhérente à la jonction PN en SiC (matériau à large bande interdite) et ainsi à un niveau de pertes élevé. Dans le cas du SiC, la conduction de cette diode vient accentuer et propager les défauts structuraux présents dans la couche d'épitaxie, au niveau de la jonction bloquante, provoquant des dérives irréversibles sur les caractéristiques statiques. Une polarisation de grille négative adaptée en conduction inverse est préconisée par certains fabricants pour réduire cet effet. Le GaN n'est pas épargné d'autant que l'absence de diode de corps dans ce composant fait naître des mécanismes de stress particuliers en conduction inverse "forcée", lesquels font l'objet de travaux fondamentaux. Quoiqu'il en soit, c'est une raison supplémentaire pour minimiser la durée de conduction en inverse sans remettre en cause la sécurité de fonctionnement du convertisseur. C'est donc une recherche du meilleur compromis. Dans tous les cas, des pertes importantes sont engendrées lors de cette phase de conduction particulière et participent à réduire le rendement énergétique global du dispositif. Par ailleurs, dans certains cas de conduction à faible courant de charge, la durée de ce temps-mort peut s'avérer insuffisante, entraînant ainsi un amorçage prématuré du transistor de puissance à fort niveau de tension v_{DS} , entraînant de fait des pertes supplémentaires par commutation pouvant être élevées, de surcroît à très fort dv/dt d'amorçage, source de perturbations EMI supplémentaires..

Il devient alors judicieux de proposer de mettre en place un dispositif électronique permettant de générer dynamiquement une durée de temps-mort adaptative, fonction des niveaux de tension et courant de charge, et optimale réduisant les pertes obtenues par conduction inverse ou par amorçage à fort niveau de tension v_{DS} . Dans un second ordre, l'adaptation de ce temps mort serait aussi un point important pour compenser des dispersions éventuelles dans la synchronisation et les caractéristiques, souvent sujettes à dérives, de chaque transistor de puissance et son circuit de commande rapproché. Un tel dispositif de contrôle adaptatif pour optimiser le début de la phase de roue-libre devrait être à la fois rapide, pour répondre aux applications modernes utilisant des transistors grand-gap à forte vitesses de commutation, et disposer d'un ensemble de moyens (capteurs de tension/ courant, de dv/dt , communications isolées inter-driver, etc...) permettant d'identifier les instants pertinents pour la commande à l'amorçage des deux interrupteurs de la cellule de commutation.

Parmi les nouvelles solutions observées actuellement, on peut évoquer quatre grandes familles de solutions :

1. Le potentiel flottant (point milieu) de la cellule de commutation est directement mesuré et le temps mort optimal est généré et adapté à chaque commutation. Ces solutions sont très adaptées dans le contexte basse tension (e.g. 48V) où les technologies CMOS peuvent être utilisées, mais il est par contre très difficile d'utiliser un seul circuit CMOS pour observer le point milieu du convertisseur de puissance sur une application 800V. Les temps morts sont générés initialement, puis après avoir observé un signal de détection de conduction inverse du transistor (3^{ème} quadrant), ils sont mis à jour lors de la commutation suivante. Un composant de type SenseFet est par exemple utilisé pour détecter le passage en conduction inverse. Ces solutions restent exploratoires et reposent sur des transistors de puissance non standard (SENSEFET).
2. Le temps mort est tabulé en fonction du point de fonctionnement, dans un modèle a-priori, et en fonction d'une variation de point de fonctionnement anticipée. Il n'y a pas

de boucle fermée rapide qui permettrait de garantir dans tous les cas et selon diverses dispersions l'adaptation parfaite des temps morts.

3. Le temps mort peut être réglable par la commande rapprochée, mais doit être généré en mode boucle ouverte ou boucle fermée par la commande éloignée, sur la base par exemple d'une mesure moyennée de courant de sortie du convertisseur. Les dispersions notamment sur les temps de propagation entre les circuits de commande High Side et Low Side peuvent fortement impacter la viabilité de ces solutions, qui nécessitent alors des modes supplémentaires de synchronisation bidirectionnels et isolés.
4. Le circuit de commande rapprochée est capable de détecter pendant la commutation le début de conduction inverse du transistor et de l'activer alors au bon moment. Ces solutions sont actuellement toujours exploratoires et basées sur des réglages de seuils de détection faibles et sensibles.

Ainsi, aucune de ces solutions ne permet actuellement d'avoir un contrôle adaptatif et garanti du temps mort optimal dans les applications haute tension à base de transistors MOSFET SiC.

Depuis de nombreuses années, le groupe Convertisseurs Statiques du laboratoire LAPLACE crée, étudie et conçoit de nouvelles architectures de contrôle pour la commande rapprochée des composants de puissance afin d'assurer une amélioration constante en termes de coût, de rendement, de performances et d'encombrement de ces dispositifs. Ce groupe développe également des activités de recherche et de valorisation sur la commande rapprochée des transistors de puissance grand-gap à des fins de contrôle rapide de la commutation pour la maîtrise des perturbations CEM, la mise en protection rapide de cellules défaillantes ou la gestion du compromis pertes/perturbations de mode commun permettant notamment de réduire la taille et le volume des filtres passifs [6-22]. De nombreux travaux antérieurs sur cet axe thématique ont permis aux personnels du groupe CS d'acquérir le niveau d'expertise suffisant pour accompagner de nouvelles études sur la problématique de gestion adaptative et optimale de temps-mort.

On notera que de récentes études réalisées au sein du laboratoire dans le cadre de thèses portant sur les techniques innovantes de commande rapprochée et de protection du composant de puissance et de son intégration apportent déjà quelques éléments de réponse à la problématique soulevée [1-5].

Objectifs :

L'objectif principal de ces travaux de thèse sera d'apporter des réponses en termes de stratégie de contrôle permettant d'adapter la durée des temps-morts pour la commande d'une cellule de commutation dans le but de limiter les pertes dues soit à un mécanisme de recirculation inverse soit à l'amorçage d'un transistor de puissance à fort niveau de tension. La ou les stratégies obtenues devront pouvoir être implémentées au sein de circuits intégrés (type Driver) réalisés en technologie smartmos pour la conception de convertisseurs de puissance dans le domaine automobile utilisant des composants grand-gap.

Le circuit de commande devra être capable d'alimenter la grille d'un transistor MOSFET SiC sur une plage de +20V à -10V, avec une charge capacitive compatible avec le composant de puissance en technologie SiC.

Au-delà d'une démarche méthodologique dont les éléments principaux viennent d'être évoqués, les actions clés à entreprendre seront :

- de réaliser un état-de-l'art autour de la gestion des temps-morts afin d'énumérer les solutions déjà proposées dans la littérature et d'élaborer une synthèse comparative permettant d'orienter les travaux de la thèse.
- de proposer une solution permettant de gérer la durée du temps-mort pour un convertisseur fonctionnant soit en régime établi au point nominal, soit répondant à des

- appels de charge ou sur un cycle d'usage à variation de courant de sortie, afin de réduire les pertes engendrées lors de cette phase de conduction inverse. En considérant aussi la bidirectionnalité du courant de charge caractéristique des applications onduleur.
- de réaliser, un démonstrateur incorporant un circuit spécifique de contrôle hautement intégré sur une technologie silicium de l'entreprise NXP et d'apporter par la mise en œuvre d'un banc de caractérisation la preuve de la pertinence des solutions proposées. La minimisation de la surface et de la puissance électrique consommée par cette nouvelle fonction devra être considérée ainsi que le retrait éventuel des cartes électroniques de la diode Shottky antiparallèle pour le cas du MOSFET SiC.

Informations pratiques pour toute candidature :

Contexte : Laboratoire Commun SEMA (NXP Toulouse – Laplace) Systèmes embarqués pour la mobilité autonome, <http://www.laplace.univ-tlse.fr/Laboratoire-commun-SEMA?lang=fr>

Contacts : Marc Cousineau marc.cousineau@laplace.univ-tlse.fr
 Nicolas Rouger nicolas.rouger@laplace.univ-tlse.fr
 Frédéric Richardeau frederic.richardeau@laplace.univ-tlse.fr

Profil du candidat : Formation Ingénieur ou Master, microélectronique – électronique analogique, génie-électrique avec un goût prononcé pour l'électronique et l'électronique de puissance. Des compétences en simulation et conception de circuit intégré CMOS seront appréciées.

Acte de candidature : CV détaillé (incluant les coordonnées des référents de stage) avec lettre de motivation et relevés de notes (Bac +3 à Bac +5).

Financement : Les travaux de thèse et le salaire du ou de la doctorante seront financés pendant 36 mois, dans le cadre d'une convention industrielle de formation par la recherche (CIFRE).

Références :

Thèses antérieures portant sur la thématique :

- [1] Timothé ROSSIGNOL, « Contribution à la caractérisation et à l'étude de la commande rapprochée de composants à grand gap « moyenne tension » pour onduleur de tension, » CIFRE RENAULT – TECHNOCENTRE, encadrement F. Richardeau M. Cousineau, date début 01/09/2012, soutenue le 28/05/2015 à Toulouse-INP.
- [2] Guillaume AULAGNIER, « Optimisation de convertisseurs DC-DC SoC (System on Chip) pour l'automobile, » CIFRE FREESCALE Semi., encadrement T. Meynard, M. Cousineau, date début 01/09/2011, soutenue le 16/04/2015 à Toulouse-INP.
- [3] Miguel MANNES-HILLESHEIM, « Convertisseur statique multiphasé à contrôle décentralisé et à tolérance de faute dédié à l'alimentation de microprocesseurs pour application automobile », encadrement M. Cousineau, G. Gateau, bourse CIFRE NXP semiconductors, démarrée le 01/05/2017.
- [4] Plinio BAU, « Gate driver CMOS pour transistors de puissance MOSFET en SiC dans les applications aéronautiques », encadrement N. Rouger, M. Cousineau, B. Cougo (industriel), thèse bourse IRT, date de début le 01/10/2017, soutenue le 03/12/2020 à Toulouse-INP.
- [5] Romain GREZAUD, « Commande de composants grand gap dans un convertisseur de puissance synchrone sans diodes », thèse CEA/CNRS, dont encadrement N. Rouger, soutenue le 06/11/2014.

Articles :

- [6] P. Bau, M. Cousineau, B. Cougo, F. Richardeau and N. Rouger, "CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," IEEE Transactions on Power Electronics, Dec. 2020, vol. 35, issue 12, pp. 13322-13332. doi: 10.1109/TPEL.2020.2995531
- [7] T. Rossignol, F. Senghor, D. Risaletto, J.-M. Blaquièrre, F. Richardeau, M. Cousineau, G. Aulagnier, "Switching Optimization of WBG Power Devices on Inverter Leg," PCIM Europe 2013, 14 – 16 May, Nuremberg, 2013.
- [8] T. Rossignol, F. Richardeau, M. Cousineau, J.-M. Blaquièrre, René Escoffier "Behavioral Model of Gallium Nitride Normally ON Power HEMT Dedicated to Inverter Simulation and Test of Driving Strategies," 17th European Conference on Power Electronics and Applications (EPE), Geneva, Switzerland, Sept. 8-10, 2015. doi: 10.1109/EPE.2015.7309208
- [9] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, D. Colin and N. Rouger, "A CMOS gate driver with ultra-fast dV/dt embedded control dedicated to optimum EMI and turn-on losses management for GaN power transistors," 2018 14th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME), Prague, 2018, pp. 105-108. doi: 10.1109/PRIME.2018.8430331
- [10] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, S. Vinnac, D. Flumian, N. Rouger, "Sub-nanosecond delay CMOS Active Gate Driver for Closed-Loop dv/dt Control of GaN Transistors," 2019 31st International Symposium on Power Semiconductor Devices and ICs (ISPSD), Shanghai, China, 2019, pp. 75-78, doi: 10.1109/ISPSD.2019.8757693. (oral session)
- [11] P. Bau, M. Cousineau, B. Cougo, F. Richardeau and N. Rouger, "Modeling and Design of High Bandwidth Feedback Loop for dv/dt Control in CMOS AGD for GaN," 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Vienna, Austria, 2020, pp. 106-109, doi: 10.1109/ISPSD46842.2020.9170106
- [12] N. Rouger, Y. Barazi, M. Cousineau and F. Richardeau, "Modular Multilevel SOI-CMOS Active Gate Driver Architecture for SiC MOSFETs," 2020 32nd International Symposium on Power Semiconductor Devices and ICs (ISPSD), Vienna, Austria, 2020, pp. 278-281, doi: 10.1109/ISPSD46842.2020.9170181
- [13] P. Bau, M. Cousineau, B. Cougo, F. Richardeau, N. Rouger, "Contrôle ultra-rapide et intégré de dv/dt en boucle fermée lors de l'amorçage de transistors à semiconducteurs grand-gap," Symposium de Génie Electrique 2020, Nantes, France, 18-20 novembre 2020.
- [14] P. Bau, N. Rouger, M. Cousineau, B. Cougo, "Gate Driver CMOS for Power Electronics MOSFET SiC Technology for Aerospace Applications, " EuroScience Open Forum (ESOF'18), Toulouse, France, 9-14 July, 2018. (Poster)
- [15] R. Grezard, F. Ayel, N. Rouger and J. C. Crebier, "A Gate Driver With Integrated Deadtime Controller," in IEEE Transactions on Power Electronics, vol. 31, no. 12, pp. 8409-8421, Dec. 2016. <https://doi.org/10.1109/TPEL.2016.2517679>

Références extérieures et en lien avec la thématique:

- [16] WeiJia ZHANG, « A Smart Gate Driver IC for Enhancement Mode GaN Power Transistor with Dead-time Correction », PhD thesis, University of Toronto, 2019
- [17] Y. Wei, Q. Luo, Z. Wang and H. Alan Mantooh, "Simple and Effective Adaptive Deadtime Strategies for LLC Resonant Converter: Analysis, Design, and Implementation," in IEEE Journal of Emerging and Selected Topics in Power Electronics, doi: 10.1109/JESTPE.2021.3058234.

- [18] P. Y. Wang, P. Kun Chiu, S. T. Li, C. Jan Chen and C. C. Hsu, "A 10 MHz GaN Driver IC with Bang-Bang DeadTime Control for Synchronous Rectifier Buck Converter," 2020 IEEE Energy Conversion Congress and Exposition (ECCE), Detroit, MI, USA, 2020, pp. 3776-3781, doi: 10.1109/ECCE44975.2020.9236280.
- [19] A. Abuelnasr et al., "Self-Adjusting Deadtime Generator for High-Efficiency High-Voltage Switched-Mode Power Amplifiers," 2020 IEEE International Symposium on Circuits and Systems (ISCAS), Seville, Spain, 2020, pp. 1-5, doi: 10.1109/ISCAS45731.2020.9181166.
- [20] X. Ke, D. Yan, J. Sankman, M. K. Song and D. B. Ma, "A 3-to-40-V Automotive-Use GaN Driver With Active Bootstrap Balancing and VSW Dual-Edge Dead-Time Modulation Techniques," in IEEE Journal of Solid-State Circuits, vol. 56, no. 2, pp. 521-530, Feb. 2021, doi: 10.1109/JSSC.2020.3005794.
- [21] Y. Zhang, C. Chen, T. Liu, K. Xu, Y. Kang and H. Peng, "A High Efficiency Model-Based Adaptive Dead-Time Control Method for GaN HEMTs Considering Nonlinear Junction Capacitors in Triangular Current Mode Operation," in IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 8, no. 1, pp. 124-140, March 2020, doi: 10.1109/JESTPE.2019.2946340.
- [22] A. Niwa et al., "A Dead-Time-Controlled Gate Driver Using Current-Sense FET Integrated in SiC MOSFET," in IEEE Transactions on Power Electronics, vol. 33, no. 4, pp. 3258-3267, April 2018, doi: 10.1109/TPEL.2017.2704620.